JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09152628 ✓
(43)Date of publication of application: 10.06.1997

(51)Int.Cl.

G02F 1/136
G02F 1/1333

(21)Application number: 08247933
(22)Date of filing: 19.09.1996

(71)Applicant: SHARP CORP
(72)Inventor: TANAKA SHINYA
BAN ATSUSHI
SHIMADA NAOYUKI
KATAYAMA MIKIO

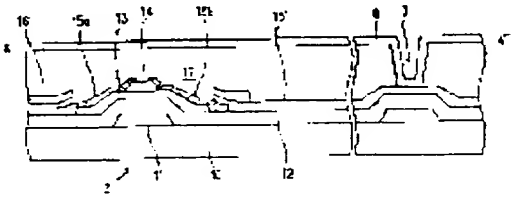
(30)Priority

Priority number: 07249977 Priority date: 27.09.1995 Priority country: JP

(54) ACTIVE MATRIX SUBSTRATE AND DISPLAY DEVICE HAVING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to lessen the change in characteristics according to the lapse of the energize time of TFTs and to provide a longer life.
SOLUTION: Plural gate wirings and plural source wirings are intersected with each other and are formed on a substrate 10. Pixel electrodes 6 formed in a matrix form are controlled by the TFTs 2 disposed near the intersected parts. Interlayer insulating films 17 are formed on a substrate 10 so as to cover the TFTs 2, the gate wirings and the source wirings and the pixel electrodes 6 are formed on these interlayer insulating films 27 and are connected to drain electrodes 15b of the TFTs 2 via contact holes penetrating the interlayer insulating films 17. In addition, the pixel electrodes 6 partly cover the surfaces of the channel regions in the semiconductor layers 13 of the TFTs 2.



Japanese Laid-Open Patent Publication No. 9-152628/1997
(Tokukaihei 9-152628) (Published on June 10, 1997)

(A) Relevance to claim

The following is inventors' comments and a translation of selected passages of the prior art document generally related to the present invention.

(B) The inventors' comments and the translation of the relevant passage.

[Inventors' Comments]

The prior art discloses an overall film structure and a manufacturing method which are used in the present invention: for example, a pixel electrode is disposed further up in layers by interposing an interlayer insulating film. However, as to the capacitance of a signal line, its disclosures does not go further than the capacitances of a signal line and between pixels are reduced in view of the thickness and dielectric constant of an interlayer insulating film.

The present invention has its feature in the reduction of the electrostatic capacitance of a signal

supplementary capacitor wire. In an embodiment, based on

a combination of this structure and a prior art, a method of forming a new layer structure for a supplementary capacitor without additional steps is disclosed.

[Relevant Passages Selected from the Prior Art Document]

[0005] The electrode 6 is connected to a drain electrode 15b of a TFT 2 through a contact hole 7 formed through an interlayer insulating film 17.

[0006] In the active matrix substrate arranged in this manner, the interlayer insulating film 17 is interposed between the gate wire and source wire and the pixel electrode 6. The structure renders it possible to dispose the pixel electrode so as to overlap both the gate wire and the source wire. This enables improvements on the aperture ratio and shielding of an electric field caused by the aforementioned wires.

[0026] ... Figure 3 is a cross-sectional view along line A-A' of Figure 1.

[0030] The interlayer insulating film 17 and the pixel electrode 6 are formed in this order on the substrate arranged in this manner. The interlayer insulating film

polyimide for example. The pixel electrode 6 is made from a transparent semiconductor layer. The pixel electrode 6 is connected to the drain electrode 15b of the TFT 2 through the contact hole 7 that is formed through the interlayer insulating film 17, and formed so as to cover the TFT 2 and to at least partially overlap both the source wire 5 and the gate wire 3 along the edge of the pixel electrode.

[0031] For these reasons, in this active matrix substrate, an pixel electrode 6 constituted by a transparent conducting layer is electrically connected via a contact hole 7 provided through an interlayer insulating film 17 to a transparent conducting film 16' electrically connected to the drain electrode 15b of a TFT 2, and also serves to cover the channel area of the TFT 2. In this structure, all liquid crystal molecules can be aligned at the top of and around the TFT 2, successfully improving on the aperture ratio.

[0049] An organic material has a low dielectric constant than an inorganic material, and therefore is capable of reducing the capacitance that develops between opposing conducing layers, such as electrodes and wires, across an

is readily fabricated into a thick film by spin coating or other similar coating techniques. So as to sufficiently reduce the foregoing capacitance, the organic film is about 1.5 μm thick or even thicker.

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平9－152628

(43)公開日　平成９年(1997)６月10日

(51)Int.Cl.*		識別記号	庁内整理番号	Ｆ Ｉ			技術表示箇所
Ｇ０２Ｆ	1/136	500		Ｇ０２Ｆ	1/136	500	
	1/1333				1/1333	505	

審査請求　未請求　請求項の数11　ＯＬ　（全 10 頁）

(21)出願番号　特願平７－３１４８３

(22)出願日　平成７年(1995)11月29日

(31)優先権主張番号　特願平７－２６５０２７

(32)優先日　平７(1995)10月12日

(33)優先権主張国　日本（ＪＰ）

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者　田中　信也
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

(72)発明者　伴　厚志
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

(72)発明者　島田　尚幸
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

(74)代理人　弁理士　山本　秀策

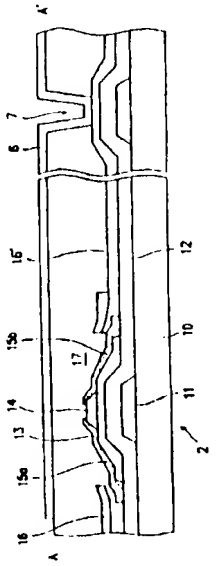
最終頁に続く

(54)【発明の名称】　アクティブマトリクス基板およびそれを備える表示装置

(57)【要約】

【課題】　ＴＦＴの通電時間に伴う特性変化を小さくして寿命を長くできるようにする。

【解決手段】　基板１０上に走査線ゲート配線および複数のソース配線が相互に交差するように形成され、その交差する各画素の近傍に設けられたＴＦＴにより、マトリクス状に設けられた画素電極６が駆動される。また、ＴＦＴのゲート配線およびゲート配線が設けられた基板１０の上に層間絶縁膜１７が形成され、画素電極６が層間絶縁膜１７の上に形成されるとともに層間絶縁膜１７を貫くコンタクトホール７を介してＴＦＴのドレイン電極１５ｂと接続され、かつ、画素電極６のエッジがＴＦＴの半導体層１３におけるチャネル領域上に重なっている。



【特許請求の範囲】

【請求項１】　ゲート配線と、ソース配線と、ゲート配線とソース配線との交差部の近傍に設けられた薄膜トランジスタとを有し、該薄膜トランジスタは該ゲート配線に接続されたゲート電極と、該ソース配線に接続されたソース電極と、画素電極に接続されたドレイン電極とを有するアクティブマトリクス基板であって、

該薄膜トランジスタ、該ゲート配線および該ソース配線の上部に、層間絶縁膜が設けられ、

該層間絶縁膜上に該画素電極が設けられ、該画素電極は該層間絶縁膜に形成されたコンタクトホールを介して該ドレイン電極に接続されており、

該層間絶縁膜を介して、該薄膜トランジスタのチャネル領域に対向するように導電性層が形成されているアクティブマトリクス基板。

【請求項２】　前記導電性層は前記ドレイン電極に電気的に接続されている請求項１に記載のアクティブマトリクス基板。

【請求項３】　前記導電性層は前記ソース電極に電気的に接続されている請求項１に記載のアクティブマトリクス基板。

【請求項４】　前記導電性層はフローティング状態にある請求項１に記載のアクティブマトリクス基板。

【請求項５】　前記導電性層は透明導電材料から形成されている請求項１から４のいずれかに記載のアクティブマトリクス基板。

【請求項６】　前記導電性層は遮光性導電材料から形成されている請求項１から４のいずれかに記載のアクティブマトリクス基板。

【請求項７】　前記導電性層は前記画素電極の一部から形成されている請求項１に記載のアクティブマトリクス基板。

【請求項８】　前記導電性層は、前記層間絶縁膜を介して、前記ソース電極及び前記ドレイン電極の双方の少なくとも一部にオーバーラップして形成されている請求項１から７のいずれかに記載のアクティブマトリクス基板。

【請求項９】　前記層間絶縁膜は有機材料から形成されている請求項１から８のいずれかに記載のアクティブマトリクス基板。

【請求項１０】　請求項１から９のいずれかに記載のアクティブマトリクス基板と、表示媒体層と、該表示媒体層を介して該アクティブマトリクス基板と対向する対向基板とを有する表示装置。

【請求項１１】　前記対向基板は、ブラックマトリクスを有さないカラーフィルター層を備えている請求項１０に記載の表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、表示媒体として、たとえば液晶を用いた液晶表示装置等の表示装置に対して使用される、アクティブマトリクス基板およびそれを備える表示装置に関する。

【０００２】

【従来の技術】上述した液晶表示装置としては、液晶を挟む一対の基板の一方に図１０に示す等価回路からなるアクティブマトリクス基板が用いられている。このアクティブマトリクス基板は、画素電極のオンオフ制御を薄膜トランジスタ（以下、ＴＦＴと省略する）２を用いて行う構成となっており、ＴＦＴ２はマトリクス状に配設されている。ＴＦＴ２のゲート電極にはゲート配線３が接続され、ＴＦＴ２はゲート配線３からの信号により駆動される。ＴＦＴ２のソース電極にはソース配線５が接続され、ＴＦＴ２のドレイン電極には画素電極が接続され、ソース配線５を送られるビデオ信号等は、ゲート配線３にてＴＦＴ２がオンとなっているときに、ソース電極およびドレイン電極を介して画素電極に入力される。また、ＴＦＴ２のドレイン電極には、マトリクス状に設けられた蓄積容量１の一方の端子が接続される。各蓄積容量１のもう一方の端子は、蓄積容量配線４に接続されており、このアクティブマトリクス基板に対して間に液晶を挟んで対向基板を配設することにより構成される液晶セルとなした場合に、その対向基板上に形成されている対向電極と接続される。

【０００３】図１５は、上述した等価回路を有するアクティブマトリクス基板の断面（図１４のＢ－Ｂ′線による断面）を示し、図１４はそのアクティブマトリクス基板の平面図、図１６はそのアクティブマトリクス基板に形成されたＴＦＴ部分の平面図を示す。このアクティブマトリクス基板は、透明絶縁性基板１０上にソース配線５とゲート配線３とが交差して形成され、両配線３と５との交差する部分の近傍にＴＦＴ２が形成されている。

【０００４】このＴＦＴ２は、上記ゲート配線３から分岐したゲート電極１１の上に形成されている。上記ゲート電極１１はゲート絶縁膜１２にて覆われており、ゲート電極１１の上方のゲート絶縁膜１２の上には半導体層１３が形成されている。ゲート電極１１の上方の半導体層１３の上にはチャネル保護膜１４が形成され、チャネル保護膜１４の上で分断してｎ＋Ｓｉ層からなるソース電極１５ａおよびドレイン電極１５ｂが半導体層１３およびゲート絶縁膜１２の上に形成されている。ソース電極１５ａおよびドレイン電極１５ｂの上に一部を重畳して透明導電膜１６′が形成され、この透明導電膜１６′の上に金属層１６が形成されている。ソース電極１５ａ側の透明導電膜１６′および金属層１６は２層構造としたソース配線となっている。

【０００５】この状態の基板の上には、ＴＦＴ２よりも広い範囲にわたり、層間絶縁膜１７および透明導電層からなる画素電極６（図中の太線内）がこの順に形成されている。画素電極６は、層間絶縁膜１７を貫くコンタク

トホール7を介してTFT2のドレイン電極15bと接続されている。

【0006】このように構成されたアクティブマトリクス基板においては、ゲート配線およびソース配線と、画素電極6との間には層間絶縁膜17が形成されているため、ゲート配線及びソース配線の両方に対して画素電極6をオーバーラップさせることが可能となる。これによって、開口率の向上や、前記の配線に起因する電界をシールドすることができる。この様な構造は、例えば特開昭58－172685に開示されている。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来の逆スタガーTFTを有するアクティブマトリクス基板においては、TFTの通電時間の経過に伴う特性変化が大きいという問題があった。

【0008】図11は、黒の一様表示の場合を想定し、ソース配線に±3．5Vの信号を入力した状態でゲート配線における電位のローレベル（Vg1）を変化させ、表示が白く変化するレベルをプロットしたものである。横軸に通電時間をとり、縦軸にゲート配線のローレベル（Vg1）をとっている。

【0009】この図において、Vg1の値が大きいほど、TFTのOFF特性のマージンが大きいと言える。例えば、Vg1＝－8Vで動作させた場合には、図11のAに示す従来のアクティブマトリクス基板の構造では2000時間の動作で不良、つまり寿命となるため、実際の使用にはまったく耐えられないことが解る。このような特性になるのは、層間絶縁膜として有機薄膜を用いた場合、特に顕著である。

【0010】また、OFF特性がずれた場合、ノーマリーホワイトモードにおいて表示が白っぽく見える「かすみ現象」が起こり、表示品位が著しく悪いものになるという問題があった。

【0011】本発明は、このような従来技術の課題を解決すべくなされたものであり、TFTの通電時間の経過に伴う特性変化を小さくして寿命を長くできるアクティブマトリクス基板およびそれを備える表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、ゲート配線と、ソース配線と、ゲート配線とソース配線との交差部の近傍に設けられた薄膜トランジスタとを有し、該薄膜トランジスタは該ゲート配線に接続されたゲート電極と、該ソース配線に接続されたソース電極と、画素電極に接続されたドレイン電極とを有するアクティブマトリクス基板であって、該薄膜トランジスタ、該ゲート配線および該ソース配線の上部に、層間絶縁膜が設けられ、該層間絶縁膜上に該画素電極が設けられ、該画素電極は該層間絶縁膜に形成されたコンタクトホールを介して該ドレイン電極に接続されており、該層間絶縁膜を介して、該薄膜トランジスタのチャネル領域に対向するように導電性層が形成されており、そのことによって上記目的が達成される。

【0013】前記導電性層は前記ドレイン電極に電気的に接続されていてもよい。

【0014】前記導電性層は前記ソース電極に電気的に接続されていてもよい。

【0015】前記導電性層はフローティング状態（電気的に浮いた状態）にあってもよい。

【0016】前記導電性層は透明導電材料から形成されていもよいし、遮光性導電材料から形成されていてもよい。

【0017】前記導電性層は前記画素電極の一部から形成されていてもよい。

【0018】前記導電性層は、前記層間絶縁膜を介して、前記ソース電極及び前記ドレイン電極の双方の少なくとも一部にオーバーラップして形成されることが、好ましい。

【0019】前記層間絶縁膜は有機材料から形成されていることが、好ましい。

【0020】本発明の表示装置は、前記のアクティブマトリクス基板と、表示媒体層と、該表示媒体層を介して該アクティブマトリクス基板と対向する対向基板とを有し、そのことによって上記目的が達成される。

【0021】前記向基板は、ブラックマトリクスを有さないカラーフィルター層を備えていることが好ましい。

【0022】以下に、本発明の作用について説明する。

【0023】本発明においては、ゲート配線およびソース配線の交差する部分の近傍に設けられたTFTのチャネル領域が、層間絶縁膜の上に形成された画素電極や別の電極で覆われている。これによって、TFT通電動作時のOFF特性の変化を小さくすることができ、OFF特性に大幅なマージンを持つとともに高い信頼性を確保することができる。よって、OFF特性がずれに伴う前記「かすみ現象」の発生を防止することができる。

【0024】また、TFTのチャネル領域を覆う電極は他の電極から電気的に独立していてもよい。また、TFTのチャネル領域を覆う電極に金属層を用いると、TFTのチャネル領域への光漏れを防止でき、これに伴って、ブラックマトリクスが不要なカラーフィルタを使用してカラー表示が可能な表示装置を実現することができる。

【0025】

【発明の実施の形態】以下に、本発明の実施形態について説明する。

【0026】（第1の実施形態）図1は本実施形態におけるアクティブマトリクス基板の構成を示す平面図であり、図2はそのアクティブマトリクス基板のTFT部を示す平面図、図3は図1のA－A′線による断面図を示す。

【0027】このアクティブマトリクス基板は、透明絶縁性基板10上に、データ信号を供給するための信号配線としてのソース配線5と走査信号を供給するための走査配線としてのゲート配線3とが交差して形成され、両配線3と5との交差する部分の近傍にTFT2が形成されている。

【0028】このTFT2は、上記ゲート配線3から分岐したゲート電極11の上に形成されている。上記ゲート電極11はゲート絶縁膜12にて覆われており、ゲート電極11の上方のゲート絶縁膜12の上には半導体層13が形成されている。ゲート電極11の上方の半導体層13の上にはチャネル保護膜14が形成されている。

【0029】上記チャネル保護膜14の上で分断してn+Si層からなるソース電極15aおよびドレイン電極15bが半導体層13およびゲート絶縁膜12の上に形成されている。ソース電極15aおよびドレイン電極15bの上に一部を重畳して透明導電膜16′が形成され、この透明導電膜16′の上に金属層16が形成されている。ソース電極15a側の透明導電膜16′および金属層16は2層構造としたソース配線となっている。

【0030】この状態の基板の上には、TFT2よりも広い範囲にわたり、有機材料として、例えばアクリル系樹脂、ポリイミド等を用いた有機薄膜からなる層間絶縁膜17と、透明導電層からなる画素電極6とがこの順に形成されている。画素電極6は、層間絶縁膜17を貫くコンタクトホール7を介してTFT2のドレイン電極15bと接続されており、TFT2を覆い、かつ、画素電極6の周縁部をソース配線5およびゲート配線3の少なくとも一部とオーバーラップした状態に形成されている。

【0031】したがって、このアクティブマトリクス基板においては、TFT2のドレイン電極15bに電気的に接続された透明導電膜16′に、層間絶縁膜17を貫くコンタクトホール7を介して透明導電層からなる画素電極6が電気的に接続され、また、TFT2のチャネル領域を覆う構成としてある。従って、この構造ではTFT2の上部及び周辺においても全て液晶分子を配向させることができるので、開口率を向上する効果がある。

【0032】この構成において、実際の動作でのTFT特性の変化Bを、図11に併せて示す。この図11のBより理解されるように、TFTのドレイン電極と同じ電位の電極を、層間絶縁膜を挟んでTFTのチャネル領域の上方に形成することにより、実際の動作時のTFTのOFF特性の変化を小さくする効果がある。このTFTの特性変動が小さくなる理由としては、層間絶縁膜17と、P1（ポリイミド配向膜）あるいは液晶とが接する界面において通電動作中に電荷が誘起され、チャネル領域の上部において帯電（チャージアップ）する現象が、チャネル領域を覆うように電極を形成することにより緩和されるからである。よって、OFF特性のずれに伴う「かすみ現象」の発生を防止でき、表示品位の向上を図ることができる。

【0033】かかる実施形態のアクティブマトリクス基板に対して、間に液晶を挟んで対向基板を対向配設して構成した液晶表示装置は、信頼性の高いものとなる。

【0034】（第2の実施形態）本発明の第2の実施形態について説明する。

【0035】図4は、本実施形態におけるアクティブマトリクス基板を示す平面図であり、図5はそのTFT部分を示す断面図である。なお、図4および図5においては、上述した図1～図3と同一部分には同一番号を付している。

【0036】この実施形態のアクティブマトリクス基板は、TFT2のドレイン電極15bに電気的に接続された透明導電膜16′に、層間絶縁膜17を貫くコンタクトホール7を介して透明導電層からなる画素電極6が電気的に接続した状態に形成されている。この画素電極6の周縁部は、ソース配線5およびゲート配線3の少なくとも一部とオーバーラップさせている。更に、画素電極6とは電気的に独立した状態で透明導電層からなる電極18がTFT2のチャネル領域を少なくとも覆うように形成されている。電極18にてTFT2を覆う部分は、半導体層13のチャネル領域以外にソース電極15aおよびドレイン電極15bの少なくとも一方の一部または全部を覆うようにしてもよい。なお、他の部分は、第1の実施形態と同様にした。

【0037】この場合の通電動作時のTFTの特性変動Cを図11に併せて示す。この図11のCより理解されるように、TFTのチャネル領域上に設ける電極をフローティング状態にする（他の電極から電気的に独立させる）ことにより、第1の実施形態の場合と比較しても一層特性変動抑制の効果が高くなっている。

【0038】その理由としては、有機薄膜からなる層間絶縁膜と、配向膜としてのポリイミド（P1）や液晶材料（LC）とが、TFT2のチャネル領域の上部で接することが無くなり、帯電によるチャージアップが緩和されるからである。さらに、この独立した電極18はTFT2のソース電極15a及びドレイン電極15bとの重なりを持たせ、ある程度の容量成分を持たせることによって、ソース電極15aおよびドレイン電極15b、並びに、上記アクティブマトリクス基板に対して液晶を挟んで向かい合う対向電極などの電極との間のバランスを反映した中間的な電位になり、チャージアップ緩和の効果がより一層顕著となるからである。よって、OFF特性のずれに伴う「かすみ現象」の発生を防止でき、表示品位の向上を図ることができる。但し、独立した電極18をTFT2のソース電極15a及びドレイン電極15bと重なっていない構成としても、容量成分は持っているので従来よりは信頼性向上に効果があることは言うまでもない。この構成では、実施形態1と比較して、TF

T の特性変動の抑制効果が[illegible]ながら、電極を形成するための領域から配[illegible]光する必要があるので、開口率は実施形態1、2[illegible]も低くなる。実際の表示装置の設計において[illegible]構成を採用するかは、それぞれの表示装置のコ[illegible]く、表示特性や個体性を考慮して決定すればよい。

【００１９】以上のことは[illegible]領域を覆う電極の直接[illegible]ース配線と同じ[illegible]様の効果が得られる。

【００２０】（第３の実施形態）次に、第３の実施形態について説明する。本実施形態においては、TFTのチャネル領域への遮光を目的とした第２の実施形態において透明導電膜によって自然[illegible]ティング状態にある画素電極を、金属膜で形成し[illegible]

【００２１】図６は本実施形態[illegible]るアクティブマトリクス基板を示す平面図であり、[illegible]そのTFT部分を示す断面図である。これら[illegible]７は、図４および５と同一部分には同一番号を[illegible]る。本実施形態のアクティブマトリクス基板[illegible]素電極６が第２の実施形態と同様に形成されて[illegible]TFT２のチャネル領域を遮光すべく、TF[illegible]金属膜からなる独立した電極１９が形成[illegible]る。電極１９にてTFTを覆う部分は、少[illegible]チャネル領域を覆うようにすればよい。他の部分[illegible]の実施形態と同様である。

【００２２】本実施形態[illegible]、TFT２のチャネル領域への遮光を金属膜[illegible]って行うことが可能となる。また、画素電極６[illegible]がソース配線５および[illegible]ゲート配線３の少なくとも[illegible]イーバーラップさせることができるので、上記アクティ[illegible]ス基板に対して液晶層（液晶等）を挟んで[illegible]配置される対向基板の[illegible]極に設けられる[illegible]タとして、ブラックマトリクスの無いものを[illegible]可能になる。つまり、金属膜１９、ソース配線５およびゲート配線３がブラックマトリクスとして機[illegible]の場合、表示装置[illegible]は、対向基板側を[illegible]過型として構成される。また、独立した電極[illegible]膜にした構成の場合でも、実験結果より[illegible]ジアップ容量の効果がより一層顕著になる[illegible]信頼性向上についての効果は、第２の実施形態[illegible]独立した電極を透明導電膜にて構成した場合[illegible]った。

【００２３】（第４の実施形態）次の第４の実施形態について説明する。

【００２４】ここでは、[illegible]に基づいて、本実施形態におけるアクティ[illegible]基板の断面構成を説明する。本発明は、第１[illegible]形態の各実施形態において、チャネル保護膜[illegible]る下下T構造に限らず、チャネル保護膜[illegible]構造のアクティブマトリクス基板にも適用でき[illegible]ちろんである。また、実験結果より、[illegible]の効果は、チャネル保護膜を有する場合と同一であった。

【００２５】（第５の実施形態）第５の実施形態を、図１２及び１３を参照しながら説明する。図１２は、本実施形態のアクティブマトリクス基板の平面図であり、図１３は、図１２のアクティブマトリクス基板を用いた液晶表示装置の断面図である。

【００２６】本実施形態では、画素電極６が実施形態１と同様に形成されているとともに、TFT２のチャネル領域を遮光するために、金属膜からなる電極１９がTFT２上に形成されている。電極１９は、少なくともTFT２のチャネル領域を遮光するように形成すればよい。他の構成については、実施形態１および３と同様の構成とした。

【００２７】本実施形態によると、TFT２のチャネル領域を金属電極１９で遮光することができるだけでなく、画素電極６のパターニングが容易になる。また、画素電極６の周辺部をゲート配線３及びソース配線５の少なくとも一部とオーバーラップさせている。従って、図１３に示すように、対向基板２０に形成されるカラーフィルタ層２２にブラックマスクを形成する必要がない。すなわち、画素電極６の周辺部からの光は、ゲート配線３及びソース配線５によって遮光されるので、対向基板にブラックマスクを設ける必要がない。さらに、TFT２のチャネル領域も金属電極１９によって遮光される。図１３に示した液晶表示装置は、対向基板側を前面（観察者側）に配置した透過型液晶表示装置である。また、独立した電極１９を金属膜で形成しても、チャージアップが緩和される効果がより一層顕著になり、信頼性が向上することは、実施形態２と同様であることを実験的に確認した。

【００２８】上述した各実施形態では層間絶縁膜として有機薄膜を用いているが、本発明はこれに限らず、層間絶縁膜にシリコン酸化膜、シリコン窒化膜等の無機膜を用いる場合にも同様の効果が得られる。つまり、TFTの特性変動は層間絶縁膜として有機薄膜を用いた場合に顕著であるが、本発明の効果はこれに限られる訳ではなく、上述した無機膜を層間絶縁膜として用いる場合にもTFTの特性変動は発生するが、それに対しても本発明の構造は特性変動抑制の効果が得られる。

【００２９】なお、層間絶縁膜の材料として、有機材料を用いることによって、無機材料を用いる場合に比較して、以下のような利点がある。有機材料は無機材料に比較して、誘電率が低いので、層間絶縁膜を介して対向する電極やデータ線などの導電層の間に形成される容量を小さくすることができる。また、有機材料を用いると、スピンコート法等の塗布法を用いて、厚膜を形成しやすい。上述した容量を十分に低下させるためには、有機膜の厚さは約1．５μm以上であることが好ましい。好ましい有機材料としては、可視光に対する透明度の高い、アクリル系樹脂やポリイミド樹脂を挙げることができる。

【００５０】また、上述した実施形態では説明しなかったが、チャネル領域を覆う電極は、接地したり、または対向電極に接続してもよく、このようにしても同様の効果が得られるのは言うまでもない。

【００５１】また、本発明は、上述した各実施形態において用いる逆スタガー型TFTに限らず、スタガー型TFTにも適用できることはもちろんである。

【００５２】また、上記各実施形態では半導体層の全域がチャネル領域である薄膜トランジスタの場合に適用しているが、本発明はこれに限らず、半導体層の一部がチャネル領域である薄膜トランジスタに対しても適用でき、その場合にもチャネル領域を覆うように所望の電極を適当な大きさで形成すればよい。

【００５３】

【発明の効果】以上詳述したように、本発明による場合には、ゲート配線およびソース配線の交差する部分の近傍に設けられたTFTのチャネル領域が、層間絶縁膜の上に形成された画素電極や別の電極で覆われるので、TFT通電動作時のOFF特性の変化を小さくすることができ、これにより寿命を長くすることが可能になり、また、OFF特性に大幅なマージンを持つとともに高い信頼性を確保することができる。よって、OFF特性のずれに伴う「かすみ現象」の発生を防止でき、表示品位の向上が図れる。また、TFTのチャネル領域を覆う電極に金属層を用いると、TFTのチャネル領域への光漏れを防止でき、加えて画素電極の周縁部をゲート配線およびソース配線の少なくとも一部とオーバーラップさせることにより、ブラックマトリクスが不要なカラーフィルタを使用してカラー表示が可能な表示装置を実現することができる。

【図面の簡単な説明】

【図１】第１の実施形態におけるアクティブマトリクス基板を示す平面図である。

【図２】図１のアクティブマトリクス基板のTFT部分を示す平面図である。

【図３】図１のアクティブマトリクス基板のA－A'線に沿った断面図である。

【図４】第２の実施形態におけるアクティブマトリクス基板のTFT部分を示す平面図である。

【図５】第２の実施形態におけるアクティブマトリクス基板における、図３と同様の部分を示す断面図である。

【図６】第３の実施形態におけるアクティブマトリクス基板のTFT部分を示す平面図である。

【図７】第３の実施形態におけるアクティブマトリクス基板における、図３と同様の部分を示す断面図である。

【図８】第４の実施形態におけるアクティブマトリクス基板における、図３と同様の部分を示す断面図である。

【図９】第４の実施形態における他のアクティブマトリクス基板における、図３と同様の部分を示す断面図である。

【図１０】TFTを備える液晶表示装置の一部であるアクティブマトリクス基板の構成を示す等価回路図である。

【図１１】本発明による実施形態におけるアクティブマトリクス基板における通電時間とゲート配線の電位のローレベルとの関係を示す図であり、従来の場合の同様の関係を併せて示している。

【図１２】第５の実施形態におけるアクティブマトリクス基板を示す平面図である。

【図１３】図１２のアクティブマトリクス基板のC－C'線に沿った断面図である。

【図１４】アクティブマトリクス基板を示す平面図である。

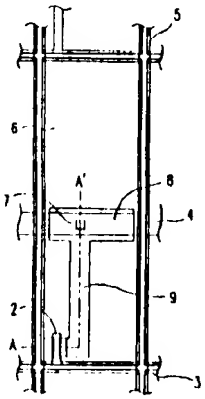
【図１５】図１４のアクティブマトリクス基板のB－B'線に沿った断面図である。

【図１６】アクティブマトリクス基板のTFT部分を示す平面図である。

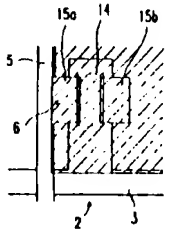
【符号の説明】

２　TFT（薄膜トランジスタ）
３　ゲート配線
５　ソース配線
６　画素電極
７　コンタクトホール
１０　基板
１１　ゲート電極
１２　ゲート絶縁膜
１３　半導体層
１４　チャネル保護膜
１５ａ　ソース電極
１５ｂ　ドレイン電極
１６'　透明導電膜
１６　金属層
１７　層間絶縁膜
１８　電極
１９　電極

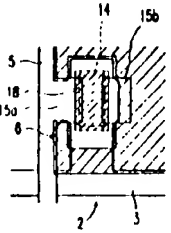
【図１】



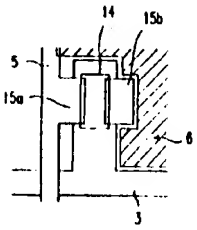
【図２】



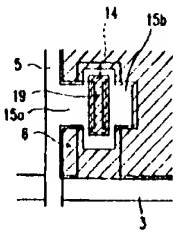
【図４】



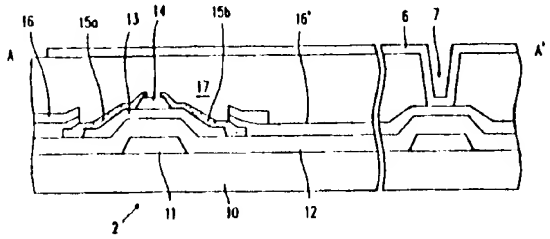
【図１６】



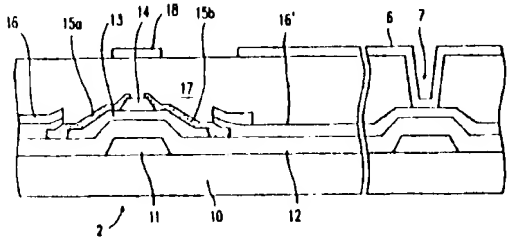
【図６】



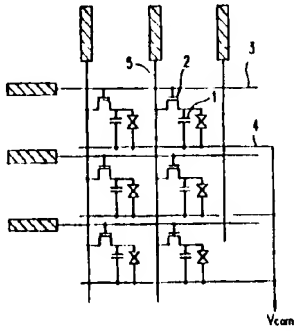
【図３】



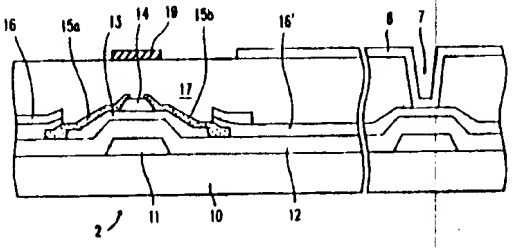
【図５】



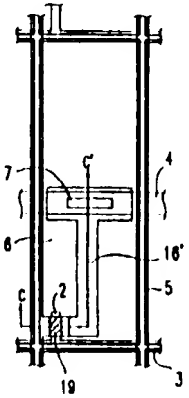
【図１０】



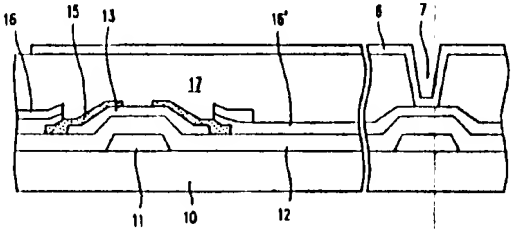
【図７】



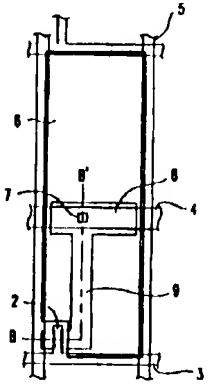
【図１２】



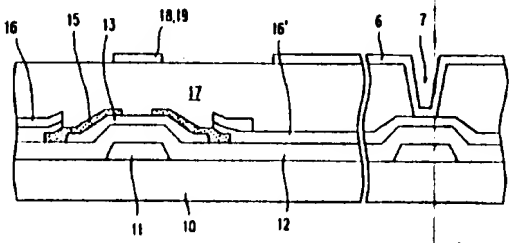
【図８】



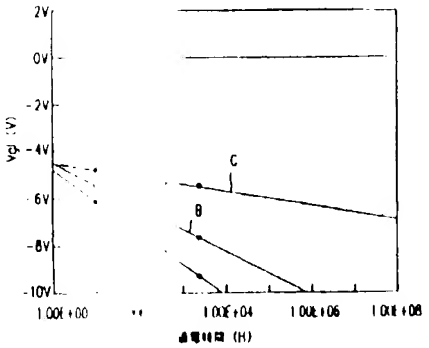
【図１４】



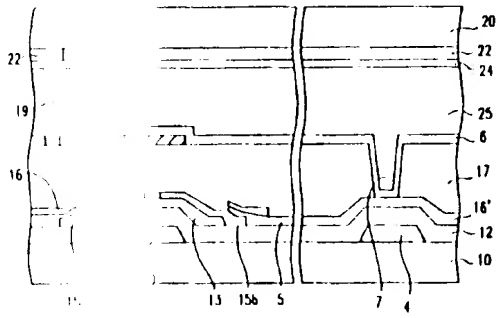
【図９】



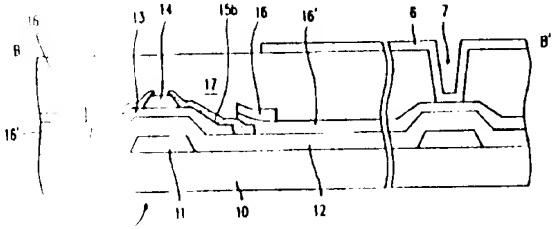
【図１１】



【図１３】



【図１５】



フロントページの続き

(72)発明者　片山　幹雄
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内